

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-291277

(43)Date of publication of application : 05.11.1993

(51)Int.Cl. H01L 21/331
 H01L 29/73
 H01L 21/205
 H01L 29/165

(21)Application number : 04-087260

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 08.04.1992

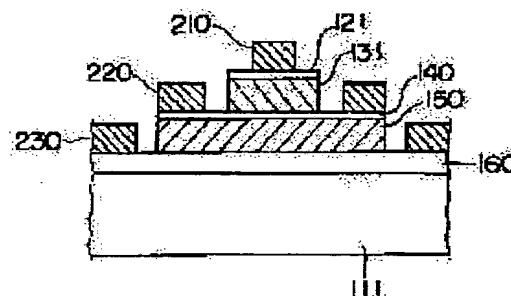
(72)Inventor : SHIKADA SHINICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a favorable operation by forming an emitter region, a base region and a collector region with silicon carbide(SiC), which is made of hexagonal and cubic systems, as a main component.

CONSTITUTION: A p+ SiC layer 160, a pSiC layer 150 and an n+ 140, which are a hexagonal system, are consecutively formed on a non-doped cubic system SiC (3C-SiC or β -SiC) substrate while a hexagonal system (6H-SiC or β -SiC) pSiC layer and p+ SiC layer 121 are formed in a similar manner on the substrate. A collector electrode 230 is formed on the p+ SiC layer and a base electrode 220 is formed on the n+ SiC layer 140 while an emitter electrode 210 is formed on the p+ 6HSiC_xN_{1-x} layer 121 respectively and electrically connected with each other. This construction provides a large current amplification factor and favorable performance even at a high temperature. Since the band gap of the collector is large, this construction makes it possible to increase the breakdown strength of the collector.



LEGAL STATUS

[Date of request for examination] 19.03.1999

[Date of sending the examiner's decision of rejection] 04.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semi-conductor layer which uses cubic silicon carbide as a principal component, and has a predetermined majority carrier, The 2nd semi-conductor layer which uses cubic silicon carbide as a principal component, and has the majority carrier of antipole nature with said 1st semi-conductor layer, Use hexagonal silicon carbide as a principal component, and it has said 1st semi-conductor layer and the 3rd semi-conductor layer which has the majority carrier of like-pole nature. The semiconductor device characterized by having said 2nd semi-conductor layer in a base region, and having said 3rd semi-conductor layer for said 1st semi-conductor layer in an emitter region to a collector field.

[Claim 2] The said 1st, 2nd, and 3rd semi-conductor layer is a semiconductor device according to claim 1 characterized by carrying out sequential formation on the substrate which uses cubic silicon carbide as a principal component.

[Claim 3] The said 3rd, 2nd, and 1st semi-conductor layer is a semiconductor device according to claim 1 characterized by carrying out sequential formation on the substrate which uses hexagonal silicon carbide as a principal component.

[Claim 4] The 1st process which forms on a substrate the 1st semi-conductor layer which uses silicon carbide as a principal component and has a predetermined majority carrier, The 2nd process which uses silicon carbide as a principal component and forms said 1st semi-conductor layer and the 2nd semi-conductor layer which has the majority carrier of antipole nature on said 1st semi-conductor layer, The 3rd process which uses silicon carbide as a principal component and forms said 1st semi-conductor layer and the 3rd semi-conductor layer which has the majority carrier of like-pole nature on said 2nd semi-conductor layer, The manufacture approach of the semiconductor device characterized by having the 4th process which forms the emitter electrode linked to the collector electrode linked to said 1st semi-conductor layer, the base electrode linked to said 2nd semi-conductor layer, and said 3rd semi-conductor layer.

[Claim 5] At said 4th process, the said 1st, 2nd, and 3rd semi-conductor layer Said emitter electrode on these layers, Leave near the part which forms said base electrode and said collector electrode, and it is removed. The manufacture approach of the semiconductor device according to claim 4 characterized by forming an insulator layer in the side attachment wall of the layer left behind among the said 1st, 2nd, and 3rd semi-conductor layer, and forming said base electrode and said collector electrode in self align using said left-behind layer and said insulator layer.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semiconductor device with a good resistance to environment.

[0002]

[Description of the Prior Art] Since invention of the transistor in 1947, IC, LSI, etc. have been developed from the transistor and semiconductor technology has accomplished the big advance. Especially silicon semiconductor technology is what was established, and various circuits are integrated and it is used widely. However, there is a limitation on actuation of the component resulting from the physical properties of silicon, and the semi-conductor by ingredients other than silicon is used about some applications.

[0003]

[Problem(s) to be Solved by the Invention] When a bipolar transistor is constituted using silicon, a current amplification factor, i.e., gain, will not become not much big only by giving the layer structure of PNP. Moreover, collector pressure-proofing does not become large, either.

[0004] For such an application, the big ingredient of a band gap is desirable. Although it changes to the conventional silicon bipolar semiconductor, the heterojunction transistor can be considered as one, for example, there are JP,62-216364,A, JP,62-2657762,A, JP,62-160760,A, JP,62-159463,A, etc. These are the transistors using the heterojunction made between silicon, carbonization silicon, etc. However, since silicon is used as an ingredient, it does not become fundamental solution to the problem of front low pressure resistance and low proof-pressure environment nature.

[0005] This invention proposes a semiconductor device with the engine performance exceeding the limitation of the existing semi-conductor in view of the above-mentioned trouble.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the semiconductor device of this invention The 1st semi-conductor layer which uses cubic silicon carbide as a principal component, and has a predetermined majority carrier, The 2nd semi-conductor layer which uses cubic silicon carbide as a principal component, and has the majority carrier of antipole nature with the 1st semi-conductor layer, Hexagonal silicon carbide is used as a principal component, and it has the 1st semi-conductor layer and the 3rd semi-conductor layer which has the majority carrier of like-pole nature, and is characterized by having the 2nd semi-conductor layer in a base region, and having the 3rd semi-conductor layer for the 1st semi-conductor layer in an emitter region to a collector field.

[0007] The 1st, 2nd, and 3rd semi-conductor layer is good also considering sequential formation being carried out as a description on the substrate which uses cubic silicon carbide as a principal component.

[0008] The 3rd, 2nd, and 1st semi-conductor layer is good also considering sequential formation being carried out as a description on the substrate which uses hexagonal silicon carbide as a principal component.

[0009] Moreover, the 1st process which forms the 1st semi-conductor layer which the

manufacture approach of the semiconductor device of this invention uses silicon carbide as a principal component on a substrate, and has a predetermined majority carrier. The 2nd process which uses silicon carbide as a principal component and forms the 1st semi-conductor layer and the 2nd semi-conductor layer which has the majority carrier of antipole nature on the 1st semi-conductor layer. The 3rd process which uses silicon carbide as a principal component and forms the 1st semi-conductor layer and the 3rd semi-conductor layer which has the majority carrier of like-pole nature on the 2nd semi-conductor layer. It is characterized by having the 4th process which forms the emitter electrode linked to the collector electrode linked to the 1st semi-conductor layer, the base electrode linked to the 2nd semi-conductor layer, and the 3rd semi-conductor layer.

[0010] It is good also considering the 1st, 2nd, and 3rd semi-conductor layer leaving near the part which forms the emitter electrode, base electrode, and collector electrode on these layers, being removed, forming an insulator layer in the side attachment wall of the layer left behind among the 1st, 2nd, and 3rd semi-conductor layer, and forming a base electrode and a collector electrode in self align at the 4th process, using the layer and insulator layer which were left behind as a description.

[0011]

[Function] In the semiconductor device of this invention, the emitter region, the base region, and the collector field are formed by using hexagonal silicon carbide and cubic silicon carbide as a principal component. Silicon carbide especially hexagonal between the emitter-bases - The heterojunction of cubic silicon carbide is formed and big collector current can be acquired by little base current with the potential barrier by this heterojunction. That is, it has a big current amplification factor. Since this is hexagonal and a thing to depend on cubic silicon carbide, it operates good also in very high temperature. Moreover, since the band gap of a collector is large, collector pressure-proofing is high.

[0012] Moreover, according to the manufacture approach of the semiconductor device of this invention, the 1st, 2nd, and 3rd semi-conductor layer is formed on a substrate one by one, and can manufacture the above-mentioned semiconductor device which carries out good actuation.

[0013] When forming a base electrode and a collector electrode in self align, high performance-ization of a component can be attained by reduction of base resistance, α -SU, and collector capacitance reduction.

[0014]

[Example] The example of this invention is explained with reference to a drawing. The structure of the transistor which is one example at the time of forming on a cubic SiC (called 3 C-SiC or beta-SiC) substrate is shown in drawing 1. The p+-SiC layer 160 to which this transistor has the cubic crystal structure on the SiC substrate 111 of the cubic of a non dope, the p-SiC layer 150, and the n+-SiC layer 140. Sequential formation of the p-SiC layer 132 and the p+-SiC layer 122 with the hexagonal (called 6 H-SiC or alpha-SiC) crystal structure is carried out. For a collector electrode 230, in the p+-SiC layer 160, a base electrode 220 is p+-6HSiC_x N 1-x to the n+-SiC layer 140. It has the structure where the emitter electrode 210 was formed in the layer 122, respectively, and was electrically connected to it. Here, in order to distinguish a cubic and α SiC, hereafter, cubic SiC is expressed as 3CSiC(s) and hexagonal SiC is expressed as 6HSiC(s).

[0015] This transistor is manufactured at the process shown below.

[0016] First, the p+-3CSiC layer 160, the p-3CSiC layer 150, and the n+-3CSiC layer 140 are formed in order with a reduced pressure CVD method on the 3CSiC substrate 111. At this time, they are C₃H₈ / SiHCl₂ to material gas. The mixed gas of 1:2 is used and it is H₂. It considered as carrier gas and was made to grow up on the pressure of 200Pa, and the conditions of 900 - 1200 centigrades. Here, in case the n+-3CSiC layer 140 is grown up, it is PH₃ to material gas. It is made to mix and P dope of is done. Moreover, in case the p-3CSiC layer 150 and the p+-3CSiC layer 160 are grown up, it is B₂H₆ to material gas. It is made to mix, B dope of is done, and the p-3CSiC layer 150 and the p+-3CSiC layer 160 are grown up. Then, the p-6HSiC layer 132 and the p+-6HSiC layer 122 are formed in order with a heat CVD method. It is made to grow up like the p+-3CSiC layer 160 and the p-3CSiC layer 150 at this time.

[0017] A mask is carried out so that it may next leave the part used as an emitter region and a base region, and 6HSiC layers 122,132 are etched in RIBE (reactant ion beam etching) of the mixed gas of "Ar+N₂O (20%)" (drawing 2 (b)). Then, 6HSiC_xN_{1-x} In RIE (reactive ion etching), the p-3CSiC layer 150 and the n⁺-3CSiC layer 140 are etched by using the resist on a layer 122,132 etc. as a mask (drawing 2 (c)). The mixed gas of CF₄+O₂ (5%) is used for the reactant gas at this time. And the emitter electrode 210 of AlSi, the base electrode 220 of TaSi, and the collector electrode 230 of Mo/Au are formed, and it wires (drawing 2 (d)).

[0018] This transistor is a PNP transistor which has a heterojunction by p mold 6HSiC and n mold 3CSiC, and the p-3CSiC layer 150 with the low carrier concentration between the collector-bases is formed for the p-6HSiC layer 132 with low carrier concentration with the heterojunction between the emitter-bases again. Actuation is made by making a hole into a majority carrier, and this transistor is presumed to be what has a band diagram as shown in drawing 3 (a). The band gap of about 2.88eV, a base region, and a collector field of the band gap of an emitter region is about 2.2eV, and there is about 0.66eV band gap difference between the emitter-bases.

[0019] Drawing 3 (b) is a band diagram in the condition of carrying out direct current amplification. In this drawing, in the part above the energy level of the lower limit of the conduction band of a base region (n⁺-3CSiC layer 140), an electron carries out Fermi-Dirac's distribution, a hole carries out Fermi-Dirac's distribution in the part above the energy level EV1 and EV2 of the upper limit of a valence band, and the situation is shown. Here, it is energy with a downward direction high about a hole. It is as follows when direct-current-amplification actuation is explained using this drawing 3 (b).

[0020] The forward bias which makes an emitter a forward electrical potential difference and makes the base a negative electrical potential difference is applied, and a base region is raised to an emitter region. Moreover, a collector field is raised by the bias which makes a collector a negative electrical potential difference. Although the electron which is a minority carrier is poured in from the base, only few electrons higher than this obstruction flow to an emitter region with the potential barrier of an emitter region. On the other hand, about a hole, the potential barrier of a valence band is small by the heterojunction, and a potential barrier becomes smaller by bias. Therefore, many of holes of an emitter region flow to a collector field across a base region. Big collector current will flow by little base current by this, and a big current amplification factor is obtained.

[0021] Although a band gap becomes small a little also in high temperature since an emitter region, a base region, and a collector field have a big band gap, above-mentioned actuation is kept good. In addition, it operates also in a high collector voltage. The present silicon transistor is exceeded by keeping parameters, such as thickness, suitable etc. Moreover, thermal conductivity is high to a substrate, and since 3CSiC(s) with a comparatively low dielectric constant are used, heat dissipation becomes good. This serves as a big advantage using by large power and the RF.

[0022] Especially this transistor is a transistor with the heterojunction using same matter called SiC. Therefore, an excessive raw material is not needed as compared with other heterojunction transistors, but it can manufacture at a simple process. Moreover, when not only an PNP mold but an NPN mold can be manufactured, since the presentation of a dopant is also controllable, it is possible to consider as a transistor with various impurity profiles. it seems that it varies with this — ** — the transistor which is alike and has the engine performance to which it responded can be offered.

[0023] Drawing 4 shows the structure at the time of manufacturing the above-mentioned transistor in self align.

[0024] This transistor is SiO₂ prepared in the side attachment wall of 6HSiC layers 132,122. While forming a base electrode 220 in self align by the protective coat 170, it is SiO₂ on this formed base electrode 220. Etching of a collector field and formation of a collector electrode 230 are performed using a protective coat 180. The production process is shown in drawing 5.

[0025] Sequential formation of the p⁺-3CSiC layer 160, the p-3CSiC layer 150, and the n⁺-3CSiC layer 140 is carried out on the 3CSiC substrate 111 like above-mentioned drawing 2

(drawing 5 (a))). Then, a mask is carried out so that it may leave the part used as an emitter region, the p-6HSiC layer 132 and the p+-6HSiC layer 122 are formed with selective growth, and a protective coat 170 is formed (drawing 5 (b))). Subsequently, a base electrode 220 and SiO₂ A protective coat 180 is formed and etching of the n+-3CSiC layer 140, the p-3CSiC layer 150, and p+-3CSiC layer 160, is performed by making this into a mask (drawing 5 (c))). And the emitter electrode 210 and a collector electrode 230 are formed (drawing 5 (d))).

[0026] Since it etches by using a protective coat 170,180 etc. as a mask and the electrode is formed by this, there are few production process top photo masks, it ends upwards, and the process by the photolithography of applying a resist is simplified. Moreover, the error factor by the alignment of a mask etc. decreases and it can manufacture now more minutely.

[0027] Not only the above-mentioned example but various deformation is possible for this invention.

[0028] For example, although the case of the thing of the cubic crystal structure was explained about the SiC substrate, the thing of the hexagonal crystal structure may be used. In this case, it forms in order of an emitter region (6HSiC layers 122,122), a base region (3CSiC layers 140), and a collector field (3CSiC layers 150,160). It becomes easy to wire, when an emitter region becomes a lower layer and ECL (Emmitter Coupled Logic) is constructed.

[0029]

[Effect of the Invention] As above, according to the semiconductor device of this invention, since the band gap of a collector is large, it becomes possible to make it operate also on a high electrical potential difference. Moreover, these are maintained also in very high temperature and can obtain good actuation.

[0030] Moreover, according to the manufacture approach of the semiconductor device of this invention, the above-mentioned semiconductor device which carries out good actuation can be manufactured.

[0031] When forming a base electrode and a collector electrode in self align, the process for forming these wiring etc. can be simplified.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

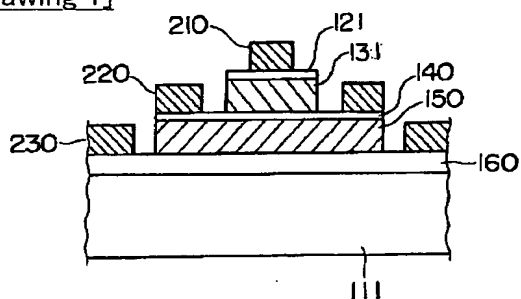
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

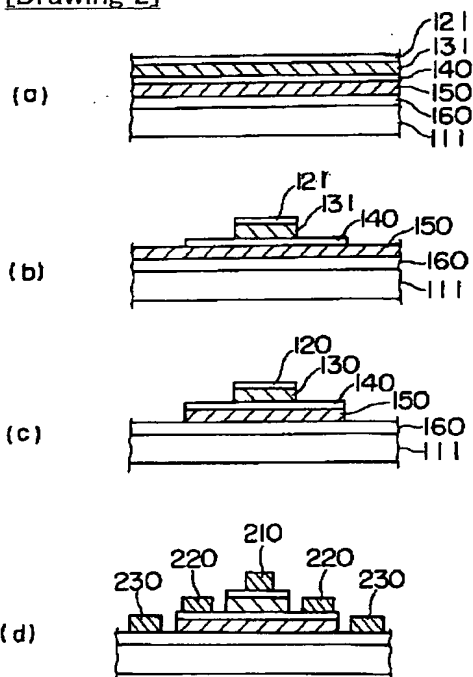
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

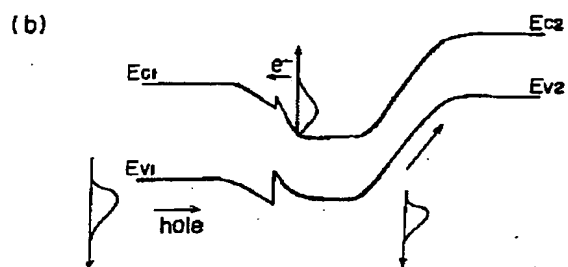
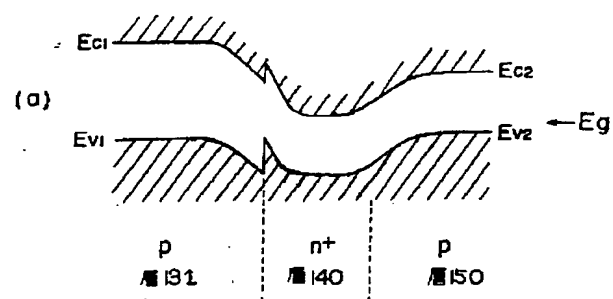


[Drawing 2]

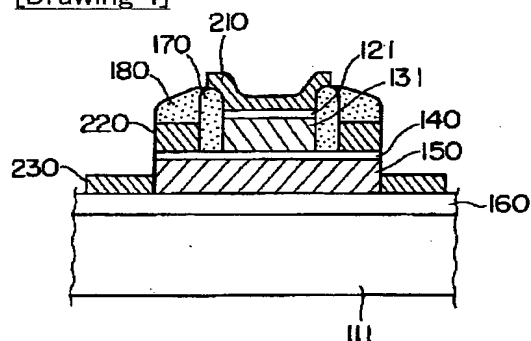


[Drawing 3]

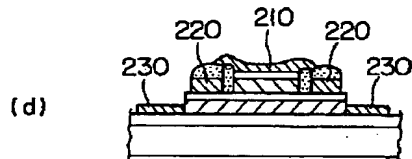
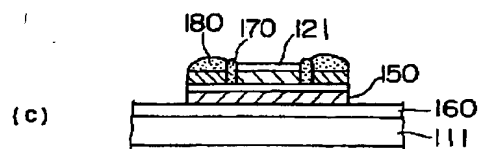
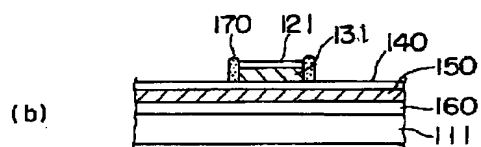
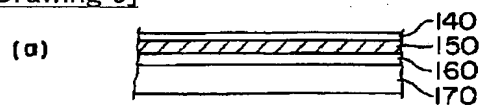
BEST AVAILABLE COPY



[Drawing 4]



[Drawing 5]



BEST AVAILABLE COPY

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

WRITTEN AMENDMENT

----- [a procedure revision]

[Filing Date] April 27, Heisei 5

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] 0017

[Method of Amendment] Modification

[Proposed Amendment]

[0017] A mask is carried out so that it may next leave by [used as an emitter region and a base region] the section, and 6HSiC layers 122,132 are etched in RIBE (reactant ion beam etching) of the mixed gas of "Ar+N₂O (20%)" (drawing 2 (b)). Then, the p-3CSiC layer 150 and the n+-3CSiC layer 140 are etched in RIE (reactive ion etching) by using as a mask the register on the layer 122,132 which carries out 6HSiC omission etc. (drawing 2 (c)). The mixed gas of CF₄+O₂ (5%) is used for the reactant gas at this time. And the emitter electrode 210 of AlSi, the base electrode 220 of TaSi, and the collector electrode 230 of Mo/Au are formed, and it wires (drawing 2 (d)).

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[Proposed Amendment]

[0028] For example, although the case of the thing of the cubic crystal structure was explained about the SiC substrate, the thing of the hexagonal crystal structure may be used. In this case, it forms in order of an emitter region (6HSiC layers 122,122), a base region (3CSiC layers 140), and a collector field (3CSiC layers 150,160). It becomes easy to wire, when an emitter region becomes a lower layer and ECL (Emitter Coupled Logic) is constructed. Moreover, a cubic thing also contains the substrate of the structure, i.e., SiC/Si which carried out heteroepitaxial growth, of, of course having Si downward further.

----- [a procedure revision]

[Filing Date] May 21, Heisei 5

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] 0017

[Method of Amendment] Modification

[Proposed Amendment]

[0017] A mask is carried out so that it may next leave the part used as an emitter region and a base region, and 6HSiC layers 122,132 are etched in RIBE (reactant ion beam etching) of the mixed gas of "Ar+N₂O (20%)" (drawing 2 (b)). Then, the p-3CSiC layer 150 and the n+-3CSiC layer 140 are etched in RIE (reactive ion etching) by using the resist on 6HSiC layers 122,132 etc. as a mask (drawing 2 (c)). The mixed gas of CF₄+O₂ (5%) is used for the reactant gas at

this time. And the emitter electrode 210 of AlSi, the base electrode 220 of TaSi, and the collector electrode 230 of Mo/Au are formed, and it wires (drawing 2 (d)).

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0028

[Method of Amendment] Modification

[Proposed Amendment]

[0028] For example, although the case of the thing of the cubic crystal structure was explained about the SiC substrate, the thing of the hexagonal crystal structure may be used. In this case, it forms in order of an emitter region (6HSiC layers 122,122), a base region (3CSiC layers 140), and a collector field (3CSiC layers 150,160). It becomes easy to wire, when an emitter region becomes a lower layer and ECL (Emitter Coupled Logic) is constructed. Moreover, a cubic thing also contains the substrate of the structure, i.e., SiC/Si which carried out heteroepitaxial growth, of, of course having Si downward further.

[Translation done.]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-291277

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

21/205

29/165

7377-4M

H 0 1 L 29/ 72

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号 特願平4-87260

(22)出願日 平成4年(1992)4月8日

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72)発明者 鹿田 真一

兵庫県伊丹市昆陽北一丁目1番1号 住友

電気工業株式会社伊丹製作所内

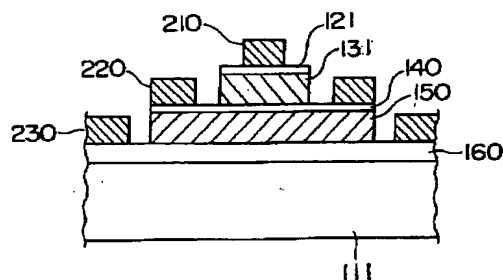
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】 (修正有)

【目的】 良好な耐環境性を持つ半導体装置を提供する。

【構成】 このトランジスタは、ノンドープのSiC基板111上に、p⁺-3CSiC層160、p-3CSiC層150、n⁺-3CSiC層140、p-6HSiC層131、p⁺-6HSiC層121が順次形成され、p⁺-3CSiC層160にはコレクタ電極230が、n⁺-3CSiC層140にはベース電極220が、p⁺-6HSiC層122にはエミッタ電極210が、それぞれ形成され電氣的に接続された構造を有し、p型6HSiCとn型3CSiCによるヘテロ接合を有するPNPトランジスタである。



【特許請求の範囲】

【請求項1】 立方晶の炭化ケイ素を主成分とし、所定の多数キャリアを有する第1の半導体層と、

立方晶の炭化ケイ素を主成分とし、前記第1の半導体層とは反対極性の多数キャリアを有する第2の半導体層と、

六方晶の炭化ケイ素を主成分とし、前記第1の半導体層と同極性の多数キャリアを有する第3の半導体層とを備え、

前記第1の半導体層をコレクタ領域に、前記第2の半導体層をベース領域に、前記第3の半導体層をエミッタ領域に有することを特徴とする半導体装置。

【請求項2】 前記第1、第2、第3の半導体層は、立方晶の炭化ケイ素を主成分とする基板上に順次形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第3、第2、第1の半導体層は、六方晶の炭化ケイ素を主成分とする基板上に順次形成されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 基板上に、炭化ケイ素を主成分とし、所定の多数キャリアを有する第1の半導体層を形成する第1の工程と、

炭化ケイ素を主成分とし、前記第1の半導体層と反対極性の多数キャリアを有する第2の半導体層を前記第1の半導体層上に形成する第2の工程と、

炭化ケイ素を主成分とし、前記第1の半導体層と同極性の多数キャリアを有する第3の半導体層を前記第2の半導体層上に形成する第3の工程と、

前記第1の半導体層に接続するコレクタ電極、前記第2の半導体層に接続するベース電極及び前記第3の半導体層に接続するエミッタ電極を形成する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記第4の工程では、前記第1、第2、第3の半導体層が、これらの層上の前記エミッタ電極、前記ベース電極及び前記コレクタ電極を形成する部分の近傍を残して除去され、前記第1、第2、第3の半導体層のうち残された層の側壁に絶縁膜を形成し、前記残された層および前記絶縁膜を用いて自己整合的に前記ベース電極及び前記コレクタ電極を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、良好な耐環境性を持つ半導体装置に関する。

【0002】

【従来の技術】 1947年のトランジスタの発明以来、トランジスタからIC、LSIなどが開発され、半導体技術は大きな進歩を遂げている。特に、シリコン半導体技術は確立されたものになっており、様々な回路が集積化され広く利用されている。しかし、シリコンの物性に起因する素子の動作上の限界があり、また、一部の用途

2

についてはシリコン以外の材料による半導体がいられるようになっている。

【0003】

【発明が解決しようとする課題】 シリコンを用いてバイポーラトランジスタを構成した場合、単にPNPの層構造をもたせただけでは電流増幅率即ち利得は余り大きなものにならない。また、コレクタ耐圧も大きくならない。

【0004】 このような用途には、バンドギャップの大きな材料が望ましい。従来のシリコンバイポーラ半導体になるものの一つとしてヘテロ接合トランジスタが考えられており、例えば、特開昭62-216364、特開昭62-2657762、特開昭62-160760、特開昭62-159463などがある。これらは、シリコンと、炭化シリコンなどとの間にできるヘテロ接合を利用したトランジスタである。しかし、シリコンを材料として用いていることから、前低耐圧性、低耐圧環境性の問題に対して根本的な解決にならない。

【0005】 本発明は、前述の問題点に鑑み、既存の半導体の限界を越え得る性能を持つ半導体装置を提案するものである。

【0006】

【課題を解決するための手段】 上記課題を解決するために、本発明の半導体装置は、立方晶の炭化ケイ素を主成分とし、所定の多数キャリアを有する第1の半導体層と、立方晶の炭化ケイ素を主成分とし、第1の半導体層とは反対極性の多数キャリアを有する第2の半導体層と、六方晶の炭化ケイ素を主成分とし、第1の半導体層と同極性の多数キャリアを有する第3の半導体層とを備え、第1の半導体層をコレクタ領域に、第2の半導体層をベース領域に、第3の半導体層をエミッタ領域に有することを特徴とする。

【0007】 第1、第2、第3の半導体層は、立方晶の炭化ケイ素を主成分とする基板上に順次形成されていることを特徴としても良い。

【0008】 第3、第2、第1の半導体層は、六方晶の炭化ケイ素を主成分とする基板上に順次形成されていることを特徴としても良い。

【0009】 また、本発明の半導体装置の製造方法は、基板上に、炭化ケイ素を主成分とし、所定の多数キャリアを有する第1の半導体層を形成する第1の工程と、炭化ケイ素を主成分とし、第1の半導体層と反対極性の多数キャリアを有する第2の半導体層を第1の半導体層上に形成する第2の工程と、炭化ケイ素を主成分とし、第1の半導体層と同極性の多数キャリアを有する第3の半導体層を第2の半導体層上に形成する第3の工程と、第1の半導体層に接続するコレクタ電極、第2の半導体層に接続するベース電極及び第3の半導体層に接続するエミッタ電極を形成する第4の工程とを有することを特徴とする。

【0010】第4の工程では、第1、第2、第3の半導体層が、これらの層上のエミッタ電極、ベース電極及びコレクタ電極を形成する部分の近傍を残して除去され、第1、第2、第3の半導体層のうち残された層の側壁に絶縁膜を形成し、残された層および絶縁膜を用いて自己整合的にベース電極及びコレクタ電極を形成することを特徴としても良い。

【0011】

【作用】本発明の半導体装置では、六方晶の炭化ケイ素、立方晶の炭化ケイ素を主成分としてエミッタ領域、ベース領域、コレクタ領域が形成されている。特に、エミッターベース間には、六方晶の炭化ケイ素-立方晶の炭化ケイ素のヘテロ接合が形成され、このヘテロ接合によるポテンシャル障壁によって少ないベース電流で大きなコレクタ電流を得られる。即ち大きな電流増幅率を持つ。これは六方晶、立方晶の炭化ケイ素によるものであるため、非常に高い温度においても良好に動作する。また、コレクタのバンドギャップが大きいため、コレクタ耐圧が高い。

【0012】また、本発明の半導体装置の製造方法によれば、第1、第2、第3の半導体層が順次基板上に形成され、良好な動作をする上記半導体装置を製作することができる。

【0013】自己整合的にベース電極及びコレクタ電極を形成する場合、ベース抵抗の低減、ベース、コレクタ容量低減により素子の高性能化が図れる。

【0014】

【実施例】本発明の実施例を図面を参照して説明する。図1には、立方晶のSiC(3C-SiC又は β -SiCと呼ばれる)基板上に形成した場合の一実施例であるトランジスタの構造が示されている。このトランジスタは、ノンドープの立方晶のSiC基板111上に、立方晶の結晶構造を持つ p^+ -SiC層160、 p -SiC層150、 n^+ -SiC層140と、六方晶(6H-SiC又は α -SiCと呼ばれる)の結晶構造を持つ p -SiC層132、 p^+ -SiC層122が順次形成され、 p^+ -SiC層160にはコレクタ電極230が、 n^+ -SiC層140にはベース電極220が、 p^+ -6HSiC_xNi_{1-x}層122にはエミッタ電極210が、それぞれ形成され電氣的に接続された構造になっている。ここでは、立方晶と六方晶を区別するため、以下、立方晶のSiCを3CSiC、六方晶のSiCを6HSiCと表す。

【0015】このトランジスタは、つぎに示す工程で製作される。

【0016】まず、3CSiC基板111上に、減圧CVD法にて、 p^+ -3CSiC層160、 p -3CSiC層150、 n^+ -3CSiC層140を順に形成する。このとき、原料ガスにC₃H₈/SiHCl₂の1:2の混合ガスを用い、また、H₂をキャリアガスと

し、圧力200Pa、セ氏900~1200度の条件下で成長させた。ここで、 n^+ -3CSiC層140を成長させる際、原料ガスにPH₃を混入させてPドーピングする。また、 p -3CSiC層150、 p^+ -3CSiC層160を成長させる際、原料ガスにB₂H₆を混入させてBドーピングし、 p -3CSiC層150、 p^+ -3CSiC層160を成長させる。その後、熱CVD法にて、 p -6HSiC層132、 p^+ -6HSiC層122を順に形成する。このとき、 p^+ -3CSiC層160、 p -3CSiC層150と同様にして成長させる。

【0017】つぎに、エミッタ領域、ベース領域となる部分を残すようにマスクをし、6HSiC層122、132を「Ar+N₂O(20%)」の混合ガスのRIBE(反応性イオンビームエッチング)にて、エッチングする(図2(b))。その後、6HSiC_xNi_{1-x}層122、132上のレジスト等をマスクとしてRIE(反応性イオンエッチング)にて、 p -3CSiC層150及び n^+ -3CSiC層140をエッチングする(図2(c))。このときの反応ガスには、CF₄+O₂(5%)の混合ガスを用いる。そして、AlSiのエミッタ電極210、TaSiのベース電極220、Mo/Auのコレクタ電極230を形成して配線する(図2(d))。

【0018】このトランジスタは、 p 型6HSiCと n 型3CSiCによるヘテロ接合を有するPNPトランジスタであり、エミッターベース間には、ヘテロ接合とともにキャリア濃度の低い p -6HSiC層132が、また、コレクタベース間のキャリア濃度の低い p -3CSiC層150が設けられている。このトランジスタは、ホールを多数キャリアとして動作がなされ、図3(a)に示すようなバンドダイアグラムを有するものと推定される。エミッタ領域のバンドギャップはおおよそ2.88eV、ベース領域、コレクタ領域のバンドギャップはおおよそ2.2eVで、エミッターベース間は、約0.66eVのバンドギャップ差がある。

【0019】図3(b)は、直流増幅させた状態のバンドダイアグラムである。この図において、ベース領域(n^+ -3CSiC層140)の伝導帯の下端のエネルギーレベルより上の部分において電子がフェルミディラック分布し、価電子帯の上端のエネルギーレベルEv₁、Ev₂より上の部分においてホールがフェルミディラック分布して様子を示している。ここで、ホールについては、下向きの方が高いエネルギーである。この図3(b)を用いて直流増幅動作を説明するとつぎのようになる。

【0020】エミッタを正電圧、ベースを負電圧とする順バイアスがかけて、エミッタ領域に対しベース領域が持ち上げられる。また、コレクタを負電圧とするバイアスによりコレクタ領域が持ち上げられる。ベースからは少数キャリアである電子が注入されるが、エミッタ

5

領域のポテンシャル障壁により、この障壁よりも高い僅かな電子しかエミッタ領域に流れない。一方、ホールについては、ヘテロ接合により価電子帯のポテンシャル障壁が小さくなっており、また、バイアスによりポテンシャル障壁がより小さくなる。そのため、エミッタ領域のホールの多くが、ベース領域を越えてコレクタ領域に流れる。これにより、少ないベース電流で大きなコレクタ電流が流れることになり、大きな電流増幅率が得られる。

【0021】エミッタ領域、ベース領域、コレクタ領域は大きなバンドギャップを持つため、高い温度においても、若干バンドギャップは小さくなるが、上述の動作は良好に保たれる。これに加えて、高いコレクタ電圧においても動作をする。層厚などのパラメータを適切に保つことなどによって現状のシリコントランジスタを越えるものになる。また、基板に熱伝導率が高く、比較的誘電率の低い3CSiCを使用していることから、放熱が良好になる。これは、大電力、高周波で用いるのに大きな利点となっている。

【0022】特に、このトランジスタは、SiCという同一の物質を用いたヘテロ接合をもつトランジスタとなっている。そのため、ほかのヘテロ接合トランジスタと比較して余分な原材料を必要とせず、簡素な工程で製造できる。また、PNP型だけでなく、NPN型も製作することができる上、ドーパントの組成もコントロールできるため、様々な不純物プロファイルを持つトランジスタとすることが可能である。これによって様々なように応じた性能を持つトランジスタを提供することができる。

【0023】図4は、前述のトランジスタを自己整合的に製作した場合の構造を示したものである。

【0024】このトランジスタは、6HSiC層132、122の側壁に設けたSiO₂の保護膜170によってベース電極220を自己整合的に形成するとともにこの形成されたベース電極220上のSiO₂の保護膜180を使ってコレクタ領域のエッチング、コレクタ電極230の形成を行ったものである。図5にはその製造工程が示されている。

【0025】前述の図2と同様に、3CSiC基板111上に、p⁺-3CSiC層160、p-3CSiC層150、n⁺-3CSiC層140を順次形成する(図5(a))。その後、エミッタ領域となる部分を残すようにマスクをし、p-6HSiC層132、p⁺-6HSiC層122を選択成長で形成し、保護膜170を形成する(図5(b))。次いで、ベース電極220、S

6

iO₂の保護膜180を形成し、これをマスクとしてn⁺-3CSiC層140、p-3CSiC層150、p⁺-3CSiC層160、のエッチングを行う(図5(c))。そして、エミッタ電極210及びコレクタ電極230を形成する(図5(d))。

【0026】これによって、保護膜170、180などをマスクとして、エッチングを行い、電極の形成を行っているため、製造工程上フォトマスクが少なく済む上にレジストを塗布するなどのフォトリソグラフィによる工程が簡素化される。また、マスクのアラインメントなどによる誤差要因が少なくなり、より微細に製作することができるようになる。

【0027】本発明は前述の実施例に限らず様々な変形が可能である。

【0028】例えば、SiC基板について立方晶の結晶構造のものの場合を説明したが、六方晶の結晶構造のものでも良い。この場合、エミッタ領域(6HSiC層122、122)、ベース領域(3CSiC層140)、コレクタ領域(3CSiC層150、160)の順で形成する。エミッタ領域が下層になって、ECL(Emitter Coupled Logic)を組んだ場合に配線しやすくなる。

【0029】

【発明の効果】以上の通り本発明の半導体装置によれば、コレクタのバンドギャップが大きいので、高い電圧でも動作させることが可能になる。そのうえ、これらが非常に高い温度においても保たれ、良好な動作を得ることができる。

【0030】また、本発明の半導体装置の製造方法によれば、良好な動作をする上記半導体装置を製作することができる。

【0031】自己整合的にベース電極及びコレクタ電極を形成する場合、これらの配線などを形成するための工程を簡略化することができる。

【図面の簡単な説明】

【図1】一実施例の構成図。

【図2】図1のトランジスタの製造工程図。

【図3】図1のトランジスタのバンドダイアグラム。

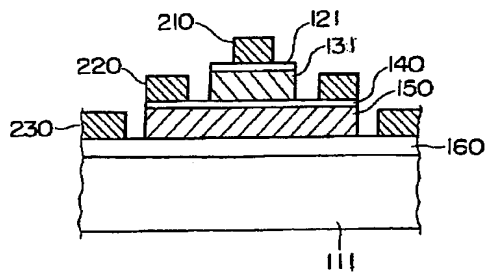
【図4】他の実施例の構成図。

【図5】図4のトランジスタの製造工程図。

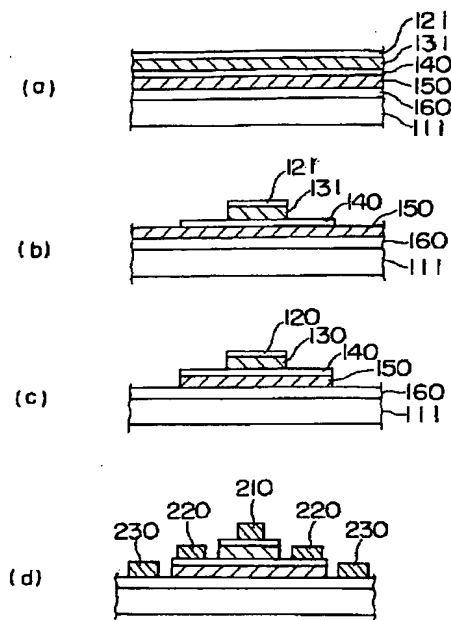
【符号の説明】

111…SiC基板、122…p⁺-6HSiC層、132…p-6HSiC層、140…n⁺-3CSiC層、150…p-3CSiC層、160…p⁺-3CSiC層、170、180…保護層、210…エミッタ電極、220…ベース電極、230…コレクタ電極。

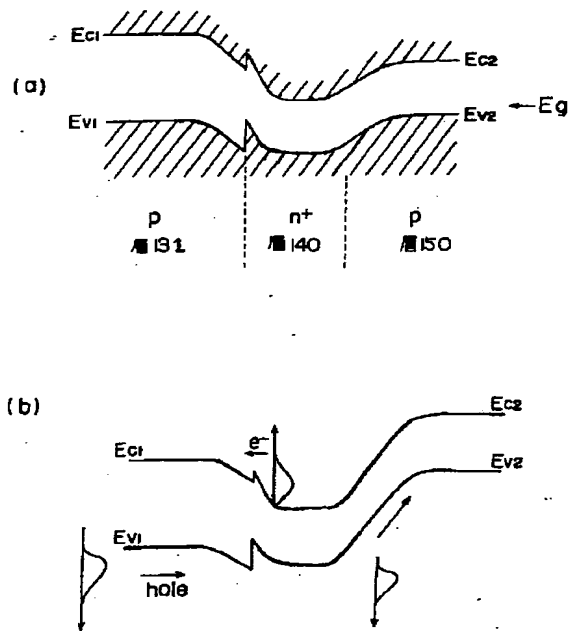
【図 1】



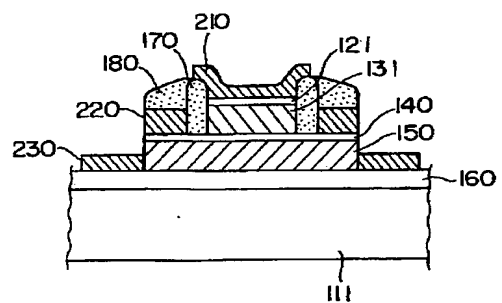
【図 2】



【図 3】

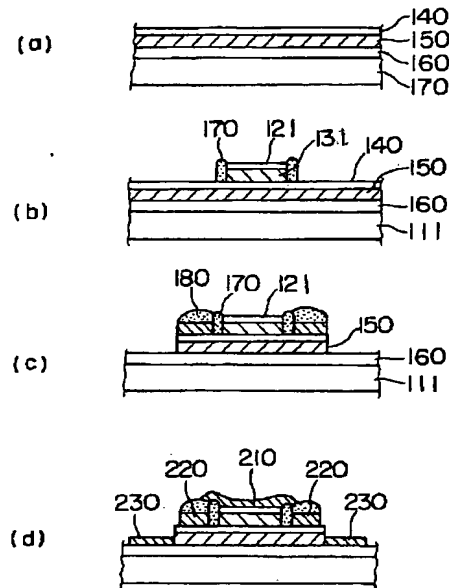


【図 4】



BEST AVAILABLE COPY

【図5】



【手続補正書】

【提出日】平成5年4月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】つぎに、エミッタ領域、ベース領域となる部分残すようにマスクをし、6HSiC層122、132を「Ar+N₂O(20%)」の混合ガスのRIBE(反応性イオンビームエッチング)にて、エッチングする(図2(b))。その後、6HSiC割愛する層122、132上のレジスタ等をマスクとしてRIE(反応性イオンエッチング)にて、p-3CSiC層150及びn⁺-3CSiC層140をエッチングする(図2(c))。このときの反応ガスには、CF₄+O₂(5%)の混合ガスを用いる。そして、AlSiのエミッタ電極210、TaSiのベース電極220、Mo/Au

のコレクタ電極230を形成して配線する(図2(d))。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】例えば、SiC基板について立方晶の結晶構造のものの場合を説明したが、六方晶の結晶構造のものでも良い。この場合、エミッタ領域(6HSiC層122、122)、ベース領域(3CSiC層140)、コレクタ領域(3CSiC層150、160)の順で形成する。エミッタ領域が下層になって、ECL(Emitter Coupled Logic)を組んだ場合に配線しやすくなる。また、立方晶のものでも、もちろんSiをさらに下に有する構造、すなわちヘテロエピタキシャル成長したSiC/Siの基板を含む。

【手続補正書】

【提出日】平成5年5月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】つぎに、エミッタ領域、ベース領域となる部分を残すようにマスクをし、6HSiC層122、132を「Ar+N₂O(20%)」の混合ガスのRIBE(反応性イオンビームエッチング)にて、エッチングする(図2(b))。その後、6HSiC層122、132上のレジスト等をマスクとしてRIE(反応性イオ

ンエッチング)にて、 $p-3CSiC$ 層150及び $n^+-3CSiC$ 層140をエッチングする(図2(c))。このときの反応ガスには、 $CF_4 + O_2$ (5%)の混合ガスを用いる。そして、 $AlSi$ のエミッタ電極210、 $TaSi$ のベース電極220、 Mo/Au のコレクタ電極230を形成して配線する(図2(d))。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】例えば、 SiC 基板について立方晶の結晶構造のものの場合を説明したが、六方晶の結晶構造のものでも良い。この場合、エミッタ領域(6H SiC 層122, 122)、ベース領域(3 $CSiC$ 層140)、コレクタ領域(3 $CSiC$ 層150, 160)の順で形成する。エミッタ領域が下層になって、ECL(Emitter Coupled Logic)を組んだ場合に配線しやすくなる。また、立方晶のものでも、もちろん Si をさらに下に有する構造、すなわちヘテロエピタキシャル成長した SiC/Si の基板を含む。